**Paralelismo em Hardware**

**Paralelismo em nível de instrução**

* **Pipeline dentro da instrução:** dividir a instrução em etapas, fazendo com que mais de uma instrução possa ser executada em um mesmo instante de tempo.

**Exemplo:** arquitetura MIPS uma instrução é dividia em 5 etapas (busca, decodificação, execução, escrita em memória e escrita nos registradores), assim pode ser utilizada a pipeline para efetuar paralelismo.

**Implicações e consequências:** Pipelines podem diminuir a performance por impedir que tarefas subsequentes sejam executadas no seu tempo correto, devido a interdependência entre as instruções e os dados utilizados, como por exemplo, duas instruções sendo executadas paralelamente precisam utilizar o mesmo recurso de hardware.

* **Very Long Instruction Word:** é uma arquitetura na qual um compilador divide as instruções do programa em operações básicas que podem ser executadas pelo processador de forma paralela, essas operações são colocadas em uma instrução muito longa, em que o processador pode desmontá-la e entregar cada operação a uma unidade funcional apropriada.

**Exemplo:** Considere a instrução y= x1z1+x2z2

\*Num processador sequencial:

Ciclo 1: carrega x1.

Ciclo 2: carrega z1.

Ciclo 3: carrega x2.

Ciclo 4: carrega z2.

Ciclo 5: multiplica x1 e z1 e armazena em w1.

Ciclo 6: multiplica x2 e z2 e armazena em w2.

Ciclo 7: Soma w1 e w2 e armazena em y.

\*Num processador que utiliza Very Long Instruction Word (com duas unidades de armazenamento, uma de multiplicação e uma de soma).

Ciclo 1: carrega x1, carrega z1.

Ciclo 2: carrega x2, carrega z2, multiplica x1 e z1 e armazena em w1.

Ciclo 3: multiplica x2 e z2 e armazena em w2, soma w2 e w1 e armazena em y.

**Implicações e consequências:** esta arquitetura possui uma grande dependência, sendo difícil existir compatibilidade entre máquinas que utilizam Very Long Instruction Word. Caso a taxa de operações por instrução for baixa, ocorrerá um mal uso da memória.